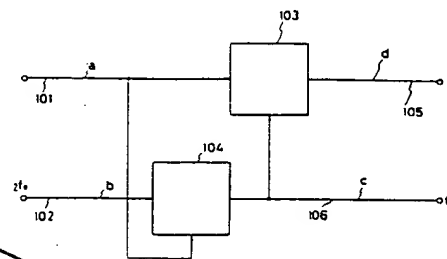


~~(54) EXTERNAL TIMING SYS~~

(11) 63-169845 (A) (43) 13.7.1988 (19) JP  
(21) Appl. No. 62-2066 (22) 7.1.1987  
(71) NEC CORP (72) TOKUO YOSHIDA(1)  
(51) Int. Cl.<sup>4</sup> H04L7/04

**PURPOSE:** To attain the retiming of an input data by simple logic operation independently of the frequency of the input data by using a signal being  $1/N$  frequency division of the clock signal having the frequency being a multiple of  $N$  ( $N$  is an even number) of a digital signal and retiming the digital signal.

**CONSTITUTION:** A clock signal inputted from a clock input line 102 has a frequency being twice of that of the data signal inputted from a data input line 101. A 1/2 frequency division circuit 104 clears the internal state at the leading of the data signal inputted from the line 101 to apply 1/2 frequency division of the clock signal having a frequency component twice that of the data signal. Moreover, an identification circuit 103 uses the clock signal having a clock frequency  $f_0$  being an output of the 1/2 frequency division circuit to apply retiming of the data signal and the data signal subject to retiming is outputted to a data output line 105. The clock signal having a frequency  $2f_0$  inputted from the clock input line 102 is generated from the clock signal having a frequency component of  $f_0$  by using a doubled circuit.



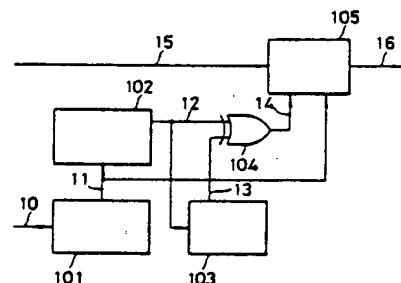
106: clock output line, a.d: data signal, b.c: clock signal

#### (54) FRAME PULSE GENERATING SYSTEM

(11) 63-169846 (A) (43) 13.7.1988 (19) JP  
(21) Appl. No. 62-1426 (22) 7.1.1987  
(71) NEC CORP (72) KATSUHIRO SASAKI  
(51) Int. Cl.<sup>4</sup> H04L7/08

**PURPOSE:** To avoid the pseudo synchronizing locking even to a signal transmission of a fixed pattern having a very strong correlativity by using N-set of specific frame synchronizing pulses in one frame as a pattern signal using M-frame (M is an integral number of 2 or over) as the period.

**CONSTITUTION:** A frequency divider circuit 101 inputs a multiplex clock 10 and outputs a frequency division signal 11 being position information of a frame synchronizing pulse. A synchronizing pattern generating circuit 102 generates a synchronizing pattern signal 12 based on the signal 11 while using one frame as one period. A pulse generating circuit 103 outputs a control signal 13 taking M-frame as the period as the specific N-set of synchronizing pulse locations in one frame based on the synchronizing pattern signal 12. An EX-OR gate 104 outputs a synchronizing pattern signal 14 being the exclusive OR between the signals 12 and 13. That is, the N-set of specific frame synchronizing pulses in one frame becomes signals changing as the M-frame as the period. A multiplex circuit 105 applies multiplex to the synchronizing pattern signal 14 onto the input signal 15 based on the control of the signal 11 and outputs the result as the multiplex signal 16.

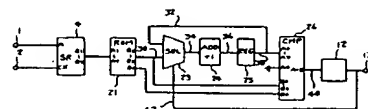


~~(54) MULTI-FRAME SYNCHRONIZING CIRCUIT~~

(1) 63-169847 (A) (43) 13.7.1988 (19) JP  
(2) Appl. No. 62-1081 (22) 8.1.1987  
(71) OKI ELECTRIC IND CO LTD(1) (72) MASAHARU KAWAGUCHI(2)  
(51) Int. Cl.<sup>4</sup> H04L7/08, H04J3/06

**PURPOSE:** To ensure the detection of a multi-frame synchronizing signal and to minimize the discrimination of the establishment of synchronization in mistake by other than mentioned below signals by checking whether or not a series of plural bits included in a multi-frame synchronizing signals of a prescribed code pattern takes place in a prescribed order so as to detect the multi-frame synchronizing signal.

**CONSTITUTION:** A serial bit string coming to an input terminal 1 is inputted sequentially to the input A of a shift register 4 and outputted in parallel from outputs Q1~Q7 sequentially. Read addresses A1~A7 of a ROM 21 are designated by the output and stored data 00~04 of the designated storage position are read to an input 30 of a selector 23 and inputs B0~B4 of a comparator 26. When the multi-frame synchronization is established, a selector 23 selects an input 32 from a register 25 by an output 42 of a protection circuit 12, an adder 24 adds "1" and inputs the results to the register 25. An output 38 of the register 25 is inputted to inputs A0~A3 of the comparator 26. The input A4 receives always logic 0. The comparator 26 compares both the inputs A0~A4 and B0~B4 and outputs the result of comparison to the protection circuit 12.

[illegible]

a: ROM address, b: content of ROM, c: other than above

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2693758号

(45) 発行日 平成9年(1997)12月24日

(24) 登録日 平成9年(1997)9月5日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/08

H 0 4 L 7/08

A

発明の数 1 (全 4 頁)

(21) 出願番号 特願昭62-1426

(22) 出願日 昭和62年(1987)1月7日

(65) 公開番号 特開昭63-169846

(43) 公開日 昭和63年(1988)7月13日

審判番号 平8-10079

(73) 特許権者 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72) 発明者 佐々木 勝弘

東京都港区芝5丁目33番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

合議体

審判長 木屋野 忠

審判官 菅野 嘉昭

審判官 松野 高尚

(56) 参考文献 特開 昭57-26946 (J P, A)

実公 昭56-10040 (J P, Y 2)

(54) 【発明の名称】 フレームパルス発生方式

1

(57) 【特許請求の範囲】

1. 1フレームが $n$ 個 ( $n$ は2以上の整数) のフレーム同期パルスを伝送するフレームパルス発生方式であつて、

フレーム同期パルスの基本パターンを発生するフレーム同期パルス発生回路と、

1フレーム中の特定の $N$ 個 ( $N$ は $n > N \geq 1$ を満足する整数) のフレーム同期パルスの位置において $M$ フレーム ( $M$ は2以上の整数) を周期とする制御信号を発生する制御信号発生回路と、

前記基本パターンを有するフレーム同期パルスと前記制御信号とを入力して1フレーム中の特定の $N$ 個のフレーム同期パルスが $M$ フレームを周期として変化するフレームパルスを発生する論理回路とを有することを特徴とするフレームパルス発生方式。

2

【発明の詳細な説明】

技術分野

本発明はフレームパルス発生方式に関し、特に無線デジタル伝送通信システムにおけるフレームパルスの発生方式に関するものである。

従来技術

従来のフレーム同期パルスの発生方式においては、第4図にそのフレーム同期パルスの発生パターンの例を示す如く、当該フレームパターンが1フレームを単位として固定となっている。この例では、1フレーム期間内に等間隔に発生するフレーム同期パルスが8個配列された構成であり、その固定パターンが「11010110」となる様になっている。

この様に、従来のフレームパルスの発生方式では、フレーム同期パターンが1フレームを単位として固定とな

っている。試験伝送等を行う際に、ある種の特定の固定パターンを伝送する必要がある場合等において、入力信号列とフレーム同期パターンとの間に非常に強い相関性が生じることがある。そのために、当該入力信号列に対して擬似同期引込み現象を生じ易く、よって正確なフレーム同期を確立することが不可能になるという欠点を有している。

#### 発明の目的

そこで、本発明は従来の如き上述した欠点を解決すべく、なされたものであって、その目的とするところは、フレーム同期パターンと非常に強い相関性を有して擬似同期引込み現象を招来する様なケースをできるだけ少なくし得るようにしたフレームパルス発生方式を提供することにある。

#### 発明の構成

本発明によれば、1フレームが $n$ 個（ $n$ は2以上の整数）のフレーム同期パルスを伝送するフレームパルス発生方式であって、

フレーム同期パルスの基本パターンを発生するフレーム同期パルス発生回路と、

1フレーム中の特定の $N$ 個（ $N$ は $n > N \geq 1$ を満足する整数）のフレーム同期パルスの位置において $M$ フレーム（ $M$ は2以上の整数）を周期とする制御信号を発生する制御信号発生回路と、

前記基本パターンを有するフレーム同期パルスと前記制御信号とを入力して1フレーム中の特定の $N$ 個のフレーム同期パルスが $M$ フレームを周期として変化するフレームパルスを発生する論理回路とを有することを特徴とするフレームパルス発生方式が得られる。

#### 実施例

以下に図面を用いて本発明の実施例を説明する。

第1図は本発明の実施例のフレームパルスを発生する送信側のブロック図であり、第3図は第1図のブロックの動作タイムチャートの1例である。尚、本実施例では説明の便宜上 $N=2$ 、 $M=4$ とし、フレーム構成は従来例

（第4図）と同様に1フレーム中に8個のフレーム同期パルスを等間隔に配列した場合について説明するものとする。

図において、分周回路101は多重化クロック10を入力としてフレーム同期パルスの位置情報である分周信号11を出力する。同期パターン発生回路102はこの分周信号11を基に1フレームを周期とする同期パターン信号12を発生する（第3図参照）。パルス発生回路103はこの同期パターン信号12を基に1フレーム中の $N$ （ $=2$ ）個の特定の同期パルス位置において $M$ （ $=4$ ）フレームを周期とする制御信号13を出力する。

EX-OR（Exclusive-OR）ゲート104は同期パターン信号12と制御信号13との排他的論理和をとった同期パターン信号14（第3図参照）を出力する。すなわち、1フレーム中の $N$ （ $=2$ ）個の特定のフレーム同期パルスが $M$

（ $=4$ ）フレームを周期として変化する信号となる。多重化回路105は入力信号15に当該同期パターン信号14を分周信号11の制御に基づき多重化を行い、多重化信号16として出力する。

第2図はかかる同期パターン信号を含んだ多重化信号を受信する受信回路のブロック図である。この受信側回路において、分離回路201は分周回路201の出力信号21すなわち、受信入力信号28の中のフレーム同期パルスの位置を示す信号を基に受信入力信号28よりフレーム同期パルスを分離し、受信同期パターン信号25を出力する。比較回路26は受信同期パターン信号25と受信側にて発生させた同期パターン信号24とを比較して比較信号26を出力する。判定回路207は比較信号26を基にフレーム同期が確立したかどうかの判定を行い、判定信号27を出力する。すなわち、受信したフレーム同期パターンと受信側にて発生させたフレーム同期パターンとを比較することにより、フレーム同期が確立したかどうかの判定として、分周回路201は比較信号26と判定信号27の制御のもとに受信入力クロック20より、受信入力信号28の中のフレーム同期パルスの位置を示す分周信号21を出力する。

同期パターン発生回路202は分周信号21を基に1フレームを周期とする同期パターン信号22を発生する。制御信号発生回路203はフレーム同期引込み過程の最初のフレームにおいては、1フレーム中の特定の同期パルスの位置における分離信号25を初期値として、上記以外の過程においては、1フレーム前の自回路内での値を基準として同期パターン信号22を基に1フレーム中の $N$ （ $=2$ ）個の特定の同期パルスの位置で $M$ （ $=4$ ）フレームを周期とした制御信号23を出力する。EX-ORゲート204は同期パターン信号22と制御信号23との排他的論理和をとった同期パターン信号24を出力する。

こうすることにより、1フレーム中の特定の $N$ 個のフレーム同期パルスが $M$ フレームを周期として変化するパターンを有するフレーム同期信号が得られることになる。このことは、換言すれば、フレーム同期信号が実質上基本フレーム同期パターンの周期の $M$ 倍（4倍）だけ長くなった周期を有することになり、従来におけるフレーム同期パターンと非常に相関性の強い入力信号列に対しても、実質的に相関性がなくなることになるので、擬似的な同期引込みが防止可能となるものである。

尚、 $M$ 及び $N$ の値や1フレーム中の同期パルスの個数等については、上記実施例に限定されることなく種々の変更が可能であることは明白である。

#### 発明の効果

叙上の如く、本発明によれば、1フレーム中の特定の $N$ 個のフレーム同期パルスを $M$ フレームを周期とするパターン信号とすることにより、非常に相関性の強い固定パターンの信号伝送に対しても、擬似同期引込み動作を回避できるという効果がある。

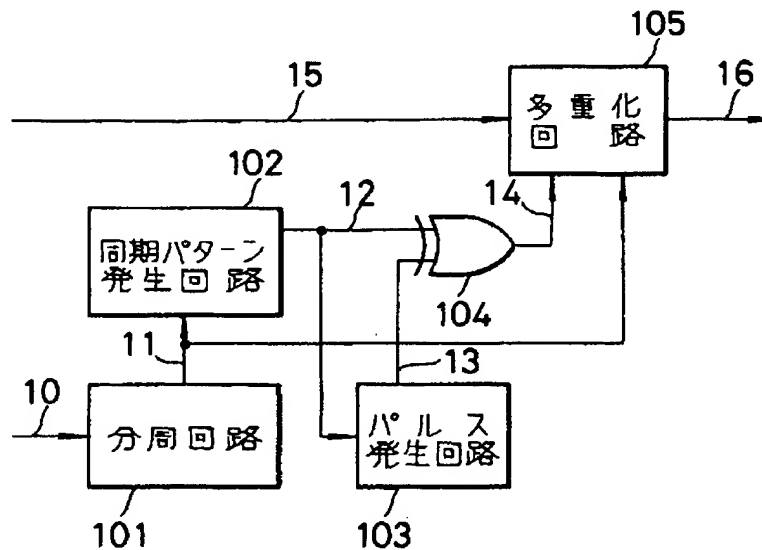
## 【図面の簡単な説明】

第1図は本発明の実施例のフレームパルス発生方式に適用される送信回路ブロック図、第2図は同じく受信回路ブロック図、第3図は第1図のブロックの動作を示すタイムチャート、第4図は従来のフレームパルスの発生様を示すタイムチャートである。

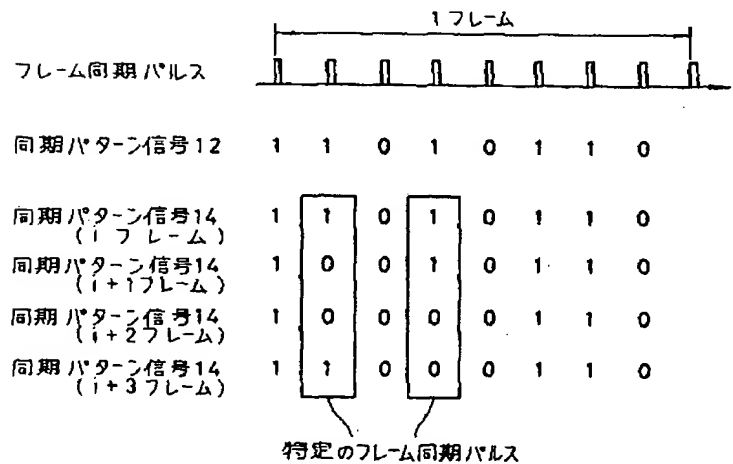
## 主要部分の符号の説明

102……同期パターン発生回路  
103……パルス発生回路  
104……EX-ORゲート  
105……多重化回路

【第1図】



【第3図】



【第4図】



【第 2 図】

